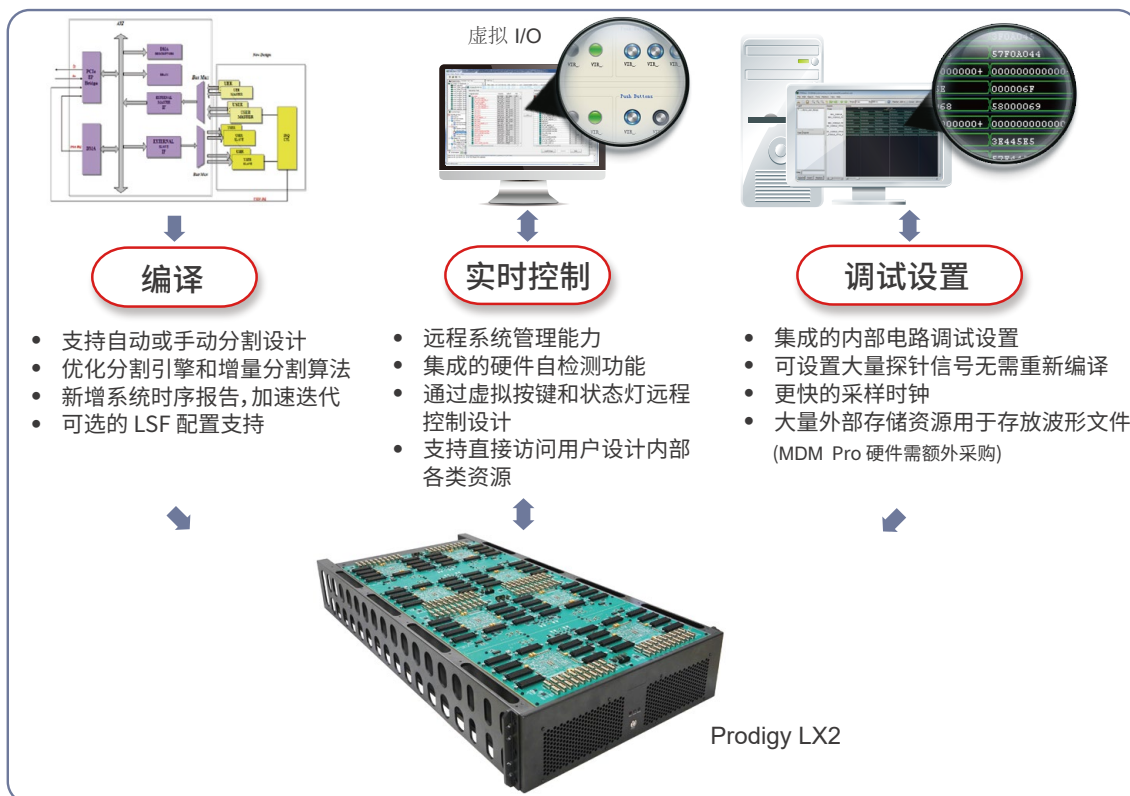


Prodigy™ Player Pro™

芯神瞳 FPGA 原型设计和调试工具

芯神瞳 Prodigy Player Pro 是 S2C 的针对 Prodigy Logic Module 和 Prodigy Logic System 系列 FPGA 原型平台开发的全面设计自动化及调试的工具。功能包括：FPGA 设计分割与配置、远程系统监测与控制、以及多 FPGA 系统的深度调试，进而加速系统的开发进程。



编译

集成的图形化界面和 Tcl 脚本接口，可以简单高效地实现设计综合、编译和分割到多 FPGA，并生成相应的设计 bin 文件。

自动编译流程

Prodigy Player Pro 可通过图形化的界面引导，一步一步地完成所有编译步骤。当整个设计的编译流程完成一次后，即可以通过 Tcl 模式自动执行 ECO 流程。

- 设计导入
- 设置内部探针信号
- 调用综合工具综合
- 设计分割
- I/O 管脚分配
- 运行布局布线
- 生成执行文件

I/O管脚分配

Prodigy Player Pro 集成了 S2C 子板 I/O 管脚对应关系的库文件，并将其自动匹配到 I/O 连接器。基于图形界面的时钟和 I/O 管脚属性分配最小化了人为出错的几率。

设计分割

- 自动或手动分割设计到多块 FPGA 板
 - 用户指导分割配置以实现性能优化
 - 用户可灵活配置互连线缆的连接方案
- 用户可将资源占比高的模块设置成黑盒以节省设计分割的时间
- 通过优化 TDM 的实现以提高系统性能
- 管脚复用逻辑自动插入，待复用管脚信号预检，以获得更好的性能
- 时序预估功能可以帮助用户快速了解设计分割后的系统性能

实时控制

对于已经编译好的设计，用户可以在同样的 Prodigy Player Pro 界面内，通过以太网或 USB 连接实现对 Prodigy Logic Module, Prodigy Logic System 和 Prodigy Logic Matrix 的实时控制。锁定和解锁机制允许多个用户同时使用一个系统。

多 FPGA 配置

Prodigy Player Pro 可以通过 USB 或以太网接口将设计文件下载到 FPGA 内。它还可以将设计写入 Prodigy Logic Module 或 Prodigy Logic System 上的 SD 卡内，并从 SD 卡下载设计文件。

虚拟“I/Os”

Prodigy Player Pro 提供了一些虚拟开关和指示灯，可以像真实的硬件一样使用。

- 虚拟状态灯可用于快速监测设计的状态
- 虚拟按钮和开关可用于快速设置设计的输入条件
- 虚拟串口用于设计的固件调试

调试设置

Prodigy Player Pro 支持预先选择或设定待触发或追踪的内部信号，从而实现强大的多 FPGA 联合调试功能。在实时运行期间，所选择的信号将被追踪和存储在外部 DDR3/DDR4 存储器上，用于数据分析。

集成的内部电路调试设置

- 可标记 FPGA 内部信号，以防综合时被优化
- 内部探针信号会根据设计分割的结果自动分配到多颗 FPGA 内
- 通过同一控制台设置多颗 FPGA 的触发和跟踪信号

Multi-FPGA 调试

当多 FPGA 联合调试设置准备就绪时，可以选配 Prodigy Multi-Debug Module Pro (MDM Pro)。MDM Pro 包含多 FPGA 调试设置的 Player Pro 软件，以及外部 MDM Pro 硬件。其功能包括：

触发条件设置规范

用户可以通过 Prodigy Player Pro 调试面板轻松地设置触发事件和组合事件。

- 触发事件支持：==、!=、>=、<=、>、< 和计数
- 组合活动支持：!&、|、^ - 和计数
- 支持最多 8 个事件触发模块的组合
- 支持触发状态机器语言

产品规格

适用的硬件

- 编译：VU+, VU, KU, S10 和 A10
- 实时控制：VU+, VU, KU, S10 和 A10
- 调试设置：VU+ 和 VU

适用的语言

- Verilog / VHDL
- System Verilog
- EDIF
- 混合编程语言

硬件自检测

Prodigy Player Pro 通过一步步的向导，帮助用户快速检查潜在的 I/O 引脚、互连线、以及时钟线的通断状况。

用户还可以检验确认全局时钟频率和 I/O 电压设置。

远程系统控制

所有系统功能都可以通过 USB 或以太网进行远程控制。

- SD 卡插入时系统自动监测
- 轻松地监测 I/O 电压、电流和温度
- 支持直接访问内部寄存器和 BRAM
- 在同一控制台下，方便地控制多个 Prodigy Logic Modules 和 Prodigy Logic Systems

设置大量的内部探针，无需重新编译

- 可标记不限数量的 FPGA 内部探针信号
- 在 FPGA 无需重新编译的情况下，每 FPGA 可以追踪到最多 16K 探针信号 (8 组，每组 2K 探针信号)

多 FPGA 同时调试 (需要 MDM Pro 硬件)

- IP 模式和 Compile 模式简化流程和使用
- 通过高速收发器将多颗 FPGA 的触发和跟踪数据传输给 MDMHW
- 编写 VCD/FST 格式的采样数据以供分析
- 外部存储器支持最多存储 8GB 的波形

适用的 OS

实时控制 和 调试设置

- 64-bit Windows 10
- Red Hat 7.8+
- CentOS 7.4+
- Ubuntu 16.04+

编译

- 64-bit Red Hat 7.8+
- CentOS 7.4+